

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaru KITO, et al.

GAU:

SERIAL NO: 10/806,398

EXAMINER:

FILED: March 23, 2004

FOR: SEMICONDUCTOR MEMORY DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-416183	December 15, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

Joseph Scafetta, Jr.
Registration No. 26,803

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

BEST AVAILABLE COPY

0381457
10/806,398

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日 2 0 0 3 年 1 2 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 4 1 6 1 8 3
Application Number:

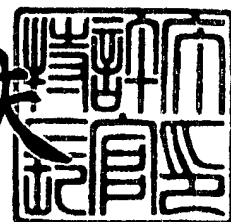
[ST. 10/C] : [J P 2 0 0 3 - 4 1 6 1 8 3]

願 人 株式会社東芝
Applicant(s):

2 0 0 4 年 4 月 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



CERTIFIED COPY OF
PRIORITY DOCUMENT

【書類名】 特許願
【整理番号】 A000305137
【提出日】 平成15年12月15日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/108
H01L 21/8242

【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
内
【氏名】 鬼頭 傑
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所
内
【氏名】 青地 英明
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

半導体基板と、
前記半導体基板の上に設けられた素子領域と、
前記半導体基板上で前記素子領域の周囲に設けられた素子分離領域と、
前記素子領域に接するように前記半導体基板内に設けられたトレンチと、
前記半導体基板に設けられた第 1 電極と、前記トレンチ内に設けられた第 2 電極とを有するキャパシタと、
前記キャパシタ上方で前記トレンチの内面上に設けられた第 1 絶縁膜と、
前記トレンチを埋め込むように前記第 1 絶縁膜及び前記第 2 電極の上に設けられた第 1 導電層と、
前記第 1 絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に設けられた第 2 絶縁膜と、
前記素子領域の上にゲート絶縁膜を介して設けられたゲート電極と、
前記ゲート電極の両側の前記素子領域内に設けられたソース及びドレイン領域と、
前記第 1 導電層と前記ソース或いはドレイン領域とを接続するように前記第 1 導電層及び前記素子領域上に設けられたコンタクト層と、
を具備することを特徴とする半導体記憶装置。

【請求項 2】

前記第 2 絶縁膜は、熱酸化膜からなることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

半導体基板にトレンチを形成する工程と、
前記半導体基板及び前記トレンチ内に夫々第 1 及び第 2 電極を有するキャパシタを形成する工程と、
前記キャパシタ上方で前記トレンチの内面上に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜及び前記第 2 電極上に前記トレンチを埋め込むように第 1 導電層を形成する工程と、
前記半導体基板上で素子領域を形成する領域以外に素子分離領域を形成する工程と、
前記素子領域の上にゲート絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極の両側の前記素子領域内にソース及びドレイン領域を形成する工程と、
前記第 1 導電層の上に形成された絶縁膜をエッチングする工程と、
前記第 1 絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に第 2 絶縁膜を形成する工程と、
前記第 1 導電層と前記ソース／ドレイン領域とを接続するように前記第 1 導電層及び前記素子領域の上にコンタクト層を形成する工程と、
を具備することを特徴とする半導体記憶装置の製造方法。

【請求項 4】

半導体基板にトレンチを形成する工程と、
前記半導体基板及び前記トレンチ内に夫々第 1 及び第 2 電極を有するキャパシタを形成する工程と、
前記キャパシタ上方で前記トレンチの内面上に第 1 絶縁膜を形成する工程と、
前記第 1 絶縁膜及び前記第 2 電極の上に前記トレンチを埋め込むように第 1 導電層を形成する工程と、
前記半導体基板上で素子領域を形成する領域以外に素子分離領域を形成する工程と、
前記第 1 絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に第 2 絶縁膜を形成する工程と、
前記素子領域の上にゲート絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極の両側の前記素子領域内にソース及びドレイン領域を形成する工程と、
前記素子領域及び前記素子分離領域の上に絶縁層を形成する工程と、

前記第 1 導電層と前記ソース或いはドレイン領域とを接続するコンタクト層を形成する領域の上に形成された前記絶縁層をエッチングする工程と、

前記第 1 導電層の上に形成された絶縁膜をエッチングする工程と、

前記第 1 絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に第 2 絶縁膜を形成する工程と、

前記第 1 導電層及び前記素子領域の上に前記コンタクト層を形成する工程と、を具備することを特徴とする半導体記憶装置の製造方法。

【請求項 5】

前記第 2 絶縁膜は、熱酸化により形成することを特徴とする請求項 3 又は 4 記載の半導体記憶装置の製造方法。

【書類名】明細書**【発明の名称】半導体記憶装置及びその製造方法****【技術分野】****【0001】**

本発明は、半導体記憶装置及びその製造方法に係り、特にメモリセルにトレンチキャパシタを有する半導体記憶装置の構造及びその製造方法に関する。

【背景技術】**【0002】**

半導体集積回路は、年々、高集積化が進んでおり、特にDRAM (Dynamic Random Access Memory) ではその進歩が著しい。高集積化を進める上で、1トランジスタ、1キャパシタ型のDRAMセルでは、各部品の微細化が要求される。DRAMセルの微細化に伴い、トランジスタのソース拡散層（またはドレイン拡散層）も縮小される。

【0003】

DRAMセルを構成するキャパシタとしてトレンチキャパシタを用いたDRAMが知られている。また、DRAMセルを構成するメモリセルトランジスタのソース領域とトレンチキャパシタの電極とを接続するストラップコンタクトとして、例えばDRAMセルが形成される半導体基板に埋め込まれるように形成されたBS (Buried Strap) コンタクトが用いられる。

【0004】

ところが、DRAMセルの微細化に伴いBSコンタクトの体積が小さくなるため、BSコンタクトの抵抗値が増加してしまう。この問題を解決する方法の一つとして、半導体基板の表面にストラップコンタクトを形成するSS (Surface Strap) コンタクトの採用が考えられる。以下に、SSコンタクトを有するDRAMの構造の一例を説明する。図31は、従来のDRAMにおける主要部を示す断面図である。

【0005】

半導体基板1内には、トレンチ2が形成されている。このトレンチ2の下部周囲の半導体基板1内には、キャパシタ電極用のN型拡散層からなるプレート電極3が設けられている。トレンチ2の下部の内面には、キャパシタの誘電膜であるNO膜4が設けられている。

【0006】

トレンチ2内のNO膜4上には、キャパシタの電極となるポリシリコン5が設けられている。ポリシリコン5上部のトレンチ2内面には、半導体基板1に形成するメモリセルトランジスタのソース或いはドレイン拡散層とプレート電極3とを電氣的に絶縁するために、カラー酸化膜6が設けられている。カラー酸化膜6上のトレンチ2内には、ポリシリコン5とのコンタクトのための配線層であるポリシリコン7が設けられている。半導体基板1の表面付近には、隣接するトレンチキャパシタとの間を電氣的に分離するために、素子分離領域8が設けられている。

【0007】

半導体基板1上には、ゲート絶縁膜9、ポリシリコンゲート電極層10、WSiゲート電極層11、ゲートキャップ絶縁膜12、ゲート側壁絶縁膜13、ソース拡散層14及びドレイン拡散層15を有するメモリセルトランジスタが設けられている。また素子分離領域8上には、ポリシリコンゲート電極層16、WSiゲート電極層17、ゲートキャップ絶縁膜18及びゲート側壁絶縁膜19を有するパスワード線が設けられている。ポリシリコン7及びソース拡散層14上には、ポリシリコン7とソース拡散層14とのコンタクト層であるSSコンタクト40が設けられている。

【0008】

図31に示したSSコンタクト40を形成する場合、トレンチキャパシタ（具体的には、ポリシリコン7）の上部に形成された酸化膜（Trench Top Oxide、以後TTOと称す）をエッチバックして配線層としてのポリシリコン7を露出する。そして、ポリシリコン7の上にSSコンタクト40となるポリシリコンを堆積していた。この場合、TTOのエッ

チバック時に、カラー酸化膜 6 及び素子分離領域 8 も同時にエッチバックされてしまう。

【0009】

この状態で S S コンタクト 40 用のポリシリコンを堆積すると、メモリセルトランジスタが形成されているアクティブ領域の側面にも S S コンタクト 40 が接触している構造となる。これにより、S S コンタクト 40 からアクティブ領域へ不純物が拡散してしまい、メモリセルトランジスタのソース拡散層 14 の接合深さ (junction depth) が深くなってしまう。これは、メモリセルトランジスタの特性を劣化させる原因となる。

【0010】

さらに、カラー酸化膜 6 及び素子分離領域 8 が深くエッチングされた場合には接合深さがより深くなり、メモリセルトランジスタの特性をさらに劣化させてしまう。またこのような問題は、デザインルールの縮小化に伴いより顕在化する。

【0011】

また、この種の関連技術として埋め込みストラップの抵抗を低減する技術が開示されている (特許文献 1 参照)。

【特許文献 1】特開 2003-282734 号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明は、上記のような事情に鑑みてなされたもので、ストラップコンタクトの抵抗値が増加することなく、且つストラップコンタクトがメモリセルトランジスタの拡散層に与える影響を抑制することで、メモリセルトランジスタの特性劣化を防止できる半導体記憶装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するために本発明の第 1 の視点に係る半導体記憶装置は、半導体基板と、前記半導体基板の上に設けられた素子領域と、前記半導体基板上で前記素子領域の周囲に設けられた素子分離領域と、前記素子領域に接するように前記半導体基板内に設けられたトレンチと、前記半導体基板に設けられた第 1 電極と、前記トレンチ内に設けられた第 2 電極とを有するキャパシタと、前記キャパシタ上方で前記トレンチの内面上に設けられた第 1 絶縁膜と、前記トレンチを埋め込むように前記第 1 絶縁膜及び前記第 2 電極の上に設けられた第 1 導電層と、前記第 1 絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に設けられた第 2 絶縁膜と、前記素子領域の上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記素子領域内に設けられたソース及びドレイン領域と、前記第 1 導電層と前記ソース或いはドレイン領域とを接続するように前記第 1 導電層及び前記素子領域上に設けられたコンタクト層とを有する。

【0014】

また第 2 の視点に係る半導体記憶装置の製造方法は、半導体基板にトレンチを形成する工程と、前記半導体基板及び前記トレンチ内に夫々第 1 及び第 2 電極を有するキャパシタを形成する工程と、前記キャパシタ上方で前記トレンチの内面上に第 1 絶縁膜を形成する工程と、前記第 1 絶縁膜及び前記第 2 電極上に前記トレンチを埋め込むように第 1 導電層を形成する工程と、前記半導体基板上で素子領域を形成する領域以外に素子分離領域を形成する工程と、前記素子領域の上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の両側の前記素子領域内にソース及びドレイン領域を形成する工程と、前記第 1 導電層の上に形成された絶縁膜をエッチングする工程と、前記第 1 絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に第 2 絶縁膜を形成する工程と、前記第 1 導電層と前記ソース或いはドレイン領域とを接続するように前記第 1 導電層及び前記素子領域の上にコンタクト層を形成する工程とを有する。

【0015】

また第 3 の視点に係る半導体記憶装置の製造方法は、半導体基板にトレンチを形成する工程と、前記半導体基板及び前記トレンチ内に夫々第 1 及び第 2 電極を有するキャパシタ

を形成する工程と、前記キャパシタ上方で前記トレンチの内面上に第1絶縁膜を形成する工程と、前記第1絶縁膜及び前記第2電極の上に前記トレンチを埋め込むように第1導電層を形成する工程と、前記半導体基板上で素子領域を形成する領域以外に素子分離領域を形成する工程と、前記第1絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に第2絶縁膜を形成する工程と、前記素子領域の上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の両側の前記素子領域内にソース及びドレイン領域を形成する工程と、前記素子領域及び前記素子分離領域の上に絶縁層を形成する工程と、前記第1導電層と前記ソース或いはドレイン領域とを接続するコンタクト層を形成する領域の上に形成された前記絶縁層をエッチングする工程と、前記第1導電層の上に形成された絶縁膜をエッチングする工程と、前記第1絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に第2絶縁膜を形成する工程と、前記第1導電層及び前記素子領域の上に前記コンタクト層を形成する工程とを有する。

【発明の効果】

【0016】

本発明によれば、ストラップコンタクトの抵抗値が増加することなく、且つストラップコンタクトがメモリセルトランジスタの拡散層に与える影響を抑制することで、メモリセルトランジスタの特性劣化を防止できる半導体記憶装置及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0018】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体記憶装置のレイアウト図である。図2は、図1に示した半導体記憶装置のI-I線に沿った断面図である。図3は、図1に示した半導体記憶装置のII-II線に沿った断面図である。なお、図1は、図2及び図3の断面図の位置を説明するための図であるため、簡略化して示している。

【0019】

図1において、半導体基板1には、メモリセルトランジスタ等が形成されるアクティブ領域25と素子分離領域8とが形成されている。アクティブ領域25の上には、ゲート電極（ポリシリコンゲート電極層10及びWSiゲート電極層11）が形成されている。また半導体基板1には、アクティブ領域25に接するようにトレンチ2が形成され、このトレンチ内にトレンチキャパシタが形成されている。

【0020】

図2において、例えばシリコンからなる半導体基板1内には、トレンチ2が形成されている。このトレンチ2の下部周囲の半導体基板1内には、キャパシタ電極用のN型拡散層からなるプレート電極3が設けられている。トレンチ2の下部の内面には、例えばシリコン窒化膜がプレート電極3に接して設けられている。さらにこのシリコン窒化膜の表面にシリコン酸化膜が形成されて、あわせてキャパシタの誘電膜であるNO膜4が設けられている。

【0021】

トレンチ2内のNO膜4上には、キャパシタの電極となるポリシリコン5が設けられている。このポリシリコン5は、例えばAsをドーブしたアモルファスシリコンを充填して形成されている。ポリシリコン5上部のトレンチ2内面には、半導体基板1に形成するメモリセルトランジスタのソース或いはドレイン拡散層とプレート電極3とを電氣的に絶縁するために、カラー酸化膜6が設けられている。カラー酸化膜6上のトレンチ2内には、ポリシリコン5とのコンタクトのための配線層であるポリシリコン7が設けられている。このポリシリコン7は、例えばAsをドーブしたアモルファスシリコンを充填して形成さ

れている。

【0022】

カラー酸化膜6上部のトレンチ2内面と、カラー酸化膜6上部のポリシリコン7側面と、素子分離領域8上部のアクティブ領域25両側面には、熱酸化膜20が設けられている。半導体基板1の表面付近には、隣接するトレンチキャパシタとの間を電氣的に分離するために、素子分離領域8が設けられている。

【0023】

半導体基板1（具体的には、アクティブ領域25）上には、ゲート絶縁膜9を介してポリシリコンゲート電極層10が設けられている。ポリシリコンゲート電極層10上には、WSiゲート電極層11が設けられている。WSiゲート電極層11上には、ゲートキャップ絶縁膜12が設けられている。ポリシリコンゲート電極層10及びWSiゲート電極層11の両側面には、例えばSiNからなるゲート側壁絶縁膜13が設けられている。ポリシリコンゲート電極層10の両側の半導体基板1内には、ソース拡散層14とドレイン拡散層15とが形成されている。このようにして、メモリセルトランジスタが構成されている。

【0024】

また、素子分離領域8上には、パスワード線が設けられている。このパスワード線は、ポリシリコンゲート電極層16と、WSiゲート電極層17と、ゲートキャップ絶縁膜18と、ゲート側壁絶縁膜19とにより構成されている。

【0025】

ポリシリコン7及びアクティブ領域25上には、ポリシリコン7とソース拡散層14とのコンタクト層であるSSコンタクト21が設けられている。このSSコンタクト21は、例えばAsをドーブしたアモルファスシリコンを充填して形成されている。なお、SSコンタクト21は、ドレイン拡散層15の上にも設けられている。ドレイン拡散層15の上のSSコンタクト21には、ドレイン拡散層15とビット線（図示せず）とを接続するためのコンタクト24が設けられている。

【0026】

SSコンタクト21、メモリセルトランジスタ、パスワード線及び素子分離領域8上には、例えばSiNからなるバリア膜22が設けられている。このバリア膜22は、上記コンタクト24を開口する際の保護膜、及び後述するBPSGの熱処理による拡散の影響を防止するために設けられている。バリア膜22上には、例えばBPSG（Boron Phospho Silicate Glass）からなる第1層間膜23が設けられている。この第1層間膜23は、熱処理により流動性を有し、層間膜の埋め込み性向上のために設けられている。第1層間膜23上には、例えばTEOS（Tetra-Ethyl-Ortho-Silicate）からなる第2層間膜（図示せず）が設けられている。このようにして、図2に示す半導体記憶装置が構成されている。

【0027】

次に、図2に示した半導体記憶装置の製造方法を図4～18を参照して説明する。なお、図4～7、9、11、13、15、17は、図1におけるI-I線に沿った断面図である。図8、10、12、14、16、18は、図1におけるII-II線に沿った断面図である。

【0028】

図4において、半導体基板1の上に、膜厚20Å程度のシリコン酸化膜26を形成する。このシリコン酸化膜26の上に、膜厚2200Å程度のシリコン窒化膜27を形成する。次に、半導体基板1に到達するようにトレンチ2を形成する。このトレンチ2は、所定の大きさの開口部及び深さを有するように、例えばフォトリソグラフィ法とドライエッチング法とを用いて形成する。

【0029】

次に、半導体基板1内にN型の不純物（例えば、As）を拡散させることで、プレート電極3を形成する。具体的には、Asをドーブしたシリケートガラスを半導体基板1内に

堆積する。続いて、Asを半導体基板1内に拡散させるために、1000℃以上の高温でアニールする。これにより、プレート電極3を形成する。その後、トレンチ2内部のシリケートガラスを除去する。このプレート電極3は、半導体基板1の表面から1.5 μm よりも深い位置に形成されているトレンチ2を覆うように形成する。

【0030】

次に、図5において、トレンチ2の下部の内面にトレンチキャパシタの誘電膜である膜厚20～30 Å程度のNO膜4を形成する。具体的には、トレンチ2内面の半導体基板1を薄く窒化してシリコン窒化膜を形成し、さらにこのシリコン窒化膜の表面を薄く酸化する。このようにして、トレンチ2の内面の半導体基板1上にNO膜4を形成する。次に、トレンチキャパシタの電極となるポリシリコン5を形成する。このポリシリコン5は、Asをドーブしたアモルファスシリコンを、NO膜4上に堆積することにより形成する。そして、ポリシリコン5を半導体基板1の表面から1.0 μm 程度までエッチバックした後、トレンチ2の内面に露出されたNO膜4を例えばウェットエッチングにより除去する。次に、ポリシリコン5上部のトレンチ2内面に、膜厚300 Å程度のカラー酸化膜6を堆積する。

【0031】

次に、図6において、Asをドーブしたアモルファスシリコンをカラー酸化膜6及びポリシリコン5上のトレンチ2内に堆積することにより、ポリシリコン7を形成する。そして、ポリシリコン7を半導体基板1の表面付近までエッチバックする。

【0032】

次に、図7、8において、フォトリソグラフィ法により、素子分離領域8形成予定領域にSTI (Shallow Trench Isolation) 形成用のフォトレジスト (図示せず) を形成する。そして、このフォトレジストをマスクとして、素子分離領域8形成予定領域内のカラー酸化膜6、ポリシリコン7及び半導体基板1をエッチングによって除去する。さらに、素子分離用溝内に絶縁膜 (例えば、シリコン酸化膜) を埋め込んで素子分離領域8を形成する。これにより、隣接するトレンチキャパシタとの間を電氣的に分離する。次に、シリコン酸化膜26とシリコン窒化膜27と半導体基板1表面より上方のカラー酸化膜6とをエッチングにより除去する。次に、従来と同様の工程により、トランジスタを形成する。

【0033】

次に、図9、10において、トレンチキャパシタ (具体的には、ポリシリコン7) の上部に形成された酸化膜であるTTOをエッチングにより除去する。このとき、ポリシリコン7上部の位置バラツキやTTOの膜厚バラツキなどを考慮して、オーバーエッチングを行う。なお、図10に示すように、TTOエッチング工程により、アクティブ領域25の側面の素子分離領域8は、カラー酸化膜6の上面と同じ位置までエッチングされている。

【0034】

次に、図11、12において、熱酸化法 (例えば、900℃、雰囲気 O_2) により、半導体基板1を酸化する。これにより、アクティブ領域25側面、半導体基板1表面及びポリシリコン7上部のシリコンが露出している部分のみ選択的に熱酸化膜20 (膜厚100 Å程度) が形成される。

【0035】

次に、図13、14において、RIE (Reactive Ion Etching) などの異方性エッチングにより、半導体基板1表面の熱酸化膜20を除去する。このとき、アクティブ領域25側面の熱酸化膜20は、エッチングされずに残っている。

【0036】

次に、図15、16において、半導体基板1表面及びポリシリコン7上部の自然酸化膜を除去する。次に、Asをドーブしたアモルファスシリコン (SSコンタクト21) をポリシリコン7及びソース拡散層14上に堆積する。なお、自然酸化膜を除去する工程は、半導体基板1とSSコンタクト21とがオーミック接触 (ohmic contact) になるのであれば特に必要としない。また、希フッ酸 (dilute hydrofluoric acid) のような薬液を用いて自然酸化膜の除去工程を行う場合、アクティブ領域25側面の熱酸化膜20が全て除

去されないような条件（例えば、熱酸化膜 20 のエッチング量が 25 Å 程度）でエッチングを行う。

【0037】

次に、図 17, 18 において、SS コンタクト 21 の表面を CMP (Chemical Mechanical Polishing) により平坦化し、SS コンタクト 21 の膜厚が 2000 Å 程度（ゲートキャップ絶縁膜 12 の中間程度）になるまで、RIE によりエッチングする。次に、フォトリソグラフィ法により所望の形状を有する SS コンタクト 21 を形成する。具体的には、SS コンタクト 21 の形状と同一のフォトレジストを塗布し、このフォトレジストをマスクとして RIE によりエッチングすることにより、SS コンタクト 21 を形成する。

【0038】

次に、図 2, 3 において、半導体基板 1 全面に SiN からなるバリア膜 22（膜厚 80 Å 程度）を堆積する。バリア膜 22 の上には、BPSG からなる第 1 層間膜 23（膜厚 3700 Å 程度）を堆積し、表面を CMP により平坦化する。第 1 層間膜 23 の上には、TEOS からなる第 2 層間膜（膜厚 1500 Å 程度）（図示せず）を堆積して平坦化する。そして、コンタクト 24 や、周辺回路のコンタクトを形成し、さらに配線層（図示せず）を形成する。このようにして、図 2 に示す半導体記憶装置が形成される。

【0039】

このように構成された半導体記憶装置は、アクティブ領域 25 の側面及びトレンチ 2 内面にのみ熱酸化膜 20 を備えている。よって、SS コンタクト 21 とアクティブ領域 25 との接触部を、アクティブ領域 25 の上面のみにすることができる。これにより、SS コンタクト 21 からアクティブ領域 25 側面への不純物拡散を防止することができるため、メモリセルトランジスタのソース拡散層 14 の接合深さが深くなるのを抑制することができる。

【0040】

また、熱酸化膜 20 を熱酸化法により形成している。よって、ゲート側壁絶縁膜 13 の側面に熱酸化膜 20 が形成されないため、SS コンタクト 21 の体積の減少を抑制することができる。これにより、SS コンタクト 21 の抵抗値の増加を防止することができる。

【0041】

以上詳述したように本実施形態では、アクティブ領域 25 の側面にのみ熱酸化膜 20 を形成した後、SS コンタクト 21 を形成するようにしている。

【0042】

したがって本実施形態によれば、SS コンタクト 21 からアクティブ領域 25 側面への不純物拡散を防止することで、メモリセルトランジスタの拡散層の接合深さが深くなるのを抑制することができる。これにより、メモリセルトランジスタの特性劣化を防止することができる。

【0043】

また、ゲート電極の側面に熱酸化膜 20 が形成されないため、SS コンタクト 21 の体積が減少しない。よって、SS コンタクト 21 の抵抗値の増加を防止することができる。これは、デザインルールの微細化に対して、より効果が大きくなる。

【0044】

また本実施形態の半導体記憶装置は、SiN からなるバリア膜 22 を備えている。これにより、例えばエッチングにより層間膜にコンタクトを開口する際、バリア膜 22 の下に形成されている酸化膜を保護することができる。さらに、BPSG の熱処理による拡散の影響を防止することができる。

【0045】

また本実施形態の半導体記憶装置は、BPSG からなる第 1 層間膜 23 を備えている。これにより、層間膜の埋め込み性を向上させることができる。

【0046】

また本実施形態では、アクティブ領域 25 の側面に形成する酸化膜に、熱酸化膜を用いている。しかし、ポリシリコン 7 上部の自然酸化膜を除去する際に同時に除去されない酸

化膜であればよい。すなわち、自然酸化膜に対して選択比を有していればよい。このような酸化膜を用いても、アクティブ領域 25 の側面にのみ酸化膜を形成することができる。

【0047】

(第 2 の実施形態)

図 19 は、本発明の第 2 の実施形態に係る半導体記憶装置の上記図 1 に示した I-I 線と同一の位置に沿った断面図である。図 20 は、本発明の第 2 の実施形態に係る半導体記憶装置の上記図 1 に示した II-II 線と同一の位置に沿った断面図である。

【0048】

カラー酸化膜 6 上部のトレンチ 2 内面と、カラー酸化膜 6 上部のポリシリコン 7 側面と、素子分離領域 8 上部のアクティブ領域 25 両側面には、熱酸化膜 20 が設けられている。ポリシリコン 7 及びアクティブ領域 25 上には、ポリシリコン 7 とソース拡散層 14 とのコンタクト層である SS コンタクト 30 が設けられている。この SS コンタクト 30 は、例えば As をドープしたアモルファスシリコンを充填して形成されている。なお、SS コンタクト 30 は、ドレイン拡散層 15 の上にも設けられている。半導体基板 1 の表面付近には、隣接するトレンチキャパシタとの間を電氣的に分離するために、素子分離領域 8 が設けられている。

【0049】

素子分離領域 8 の上には、例えば SiN からなるバリア膜 31 が設けられている。バリア膜 31 の上には、例えば BPSG からなる第 1 層間膜 32 が設けられている。第 1 層間膜 32 及び SS コンタクト 30 の上には、例えば TEOS からなる第 2 層間膜 33 が設けられている。このようにして、図 19 に示す半導体記憶装置が構成されている。

【0050】

次に、図 19 に示した半導体記憶装置の製造方法を図 21～30 を参照して説明する。なお、図 21, 23, 25, 27, 29 は、図 1 における I-I 線に沿った断面図である。図 22, 24, 26, 28, 30 は、図 1 における II-II 線に沿った断面図である。なお、上記図 7, 8 までの製造方法は、上記第 1 の実施形態と同じである。

【0051】

図 21, 22 において、半導体基板 1 全面に SiN からなるバリア膜 31 (膜厚 80 Å 程度) を堆積する。バリア膜 31 の上には、BPSG からなる第 1 層間膜 32 (膜厚 3700 Å 程度) を堆積し、表面を CMP により平坦化する。

【0052】

次に、図 23, 24 において、フォトリソグラフィ法により、SS コンタクト 30 形成領域上の第 1 層間膜 32 を除去するためにフォトレジストを形成し、このフォトレジストをマスクとして RIE により第 1 層間膜 32 をエッチングする。

【0053】

次に、図 25, 26 において、第 1 層間膜 32 をマスクとして SS コンタクト 30 用の開口部にあるバリア膜 31 を RIE によりエッチングする。さらに、トレンチキャパシタ (具体的には、ポリシリコン 7) の上部に形成された酸化膜である TTO をエッチングにより除去する。このとき、ポリシリコン 7 上部の位置バラツキや TTO の膜厚バラツキなどを考慮して、オーバーエッチングを行う。なお、図 26 に示すように、TTO エッチング工程により、アクティブ領域 25 の側面の素子分離領域 8 は、カラー酸化膜 6 の上面と同じ位置までエッチングされている。

【0054】

次に、図 27, 28 において、熱酸化法 (例えば、900℃、雰囲気 O₂) により、半導体基板 1 を酸化する。これにより、アクティブ領域 25 側面、半導体基板 1 表面及びポリシリコン 7 上部のシリコンが露出している部分のみ選択的に熱酸化膜 20 (膜厚 100 Å 程度) が形成される。

【0055】

次に、図 29, 30 において、RIE (Reactive Ion Etching) などの異方性エッチングにより、半導体基板 1 表面の熱酸化膜 20 を除去する。このとき、アクティブ領域 25

側面の熱酸化膜 20 は、エッチングされずに残っている。次に、半導体基板 1 表面及びポリシリコン 7 上部の自然酸化膜を除去する。次に、As をドーブしたアモルファスシリコン (SS コンタクト 30) をポリシリコン 7 及びソース拡散層 14 上に堆積する。なお、前述した自然酸化膜を除去する工程は、半導体基板 1 と SS コンタクト 30 とがオーミック接触 (ohmic contact) になるのであれば特に必要としない。また、希フッ酸 (dilute hydrofluoric acid) のような薬液を用いて自然酸化膜の除去工程を行う場合、アクティブ領域 25 側面の熱酸化膜 20 が全て除去されないような条件 (例えば、熱酸化膜 20 のエッチング量が 25 Å 程度) でエッチングを行う。

【0056】

そして、SS コンタクト 30 の表面を CMP (Chemical Mechanical Polishing) により平坦化し、第 1 層間膜 32 表面から 500 Å 程度 (ゲートキャップ絶縁膜 12 の中間程度) の深さまで、SS コンタクト 30 を RIE によりエッチングする。

【0057】

次に、図 19, 20 において、半導体基板 1 全面に TEOS からなる第 2 層間膜 33 (第 1 層間膜上の膜厚 1500 Å 程度) を堆積して平坦化する。そして、ビット線とのコンタクトであるコンタクト 24 や、周辺回路のコンタクトを形成し、さらに配線層 (図示せず) を形成する。このようにして、図 19 に示す半導体記憶装置が形成される。

【0058】

このように構成された半導体記憶装置は、アクティブ領域 25 の側面にのみ熱酸化膜 20 を備えている。よって、上記第 1 の実施形態と同様の効果を得ることができる。

【0059】

また、SS コンタクト 30 を埋め込みプラグとして形成することができる。これにより、上記第 1 の実施形態と比べて、SS コンタクト 30 を形成する際のエッチング工程による半導体記憶装置への負担を低減することができる。

【0060】

また、SS コンタクト 30 を形成する領域の第 1 層間膜 32 の開口工程において位置ズレが生じた場合でも、バリア膜 31 を備えているためアクティブ領域 25 側面の素子分離領域 8 がエッチングされるのを防止することができる。

【0061】

また本実施形態では、SS コンタクト 30 を形成する領域の第 1 層間膜 32 の開口工程においてマージンを大きくすることができる。すなわち、フォトリソグラフィ法による位置の合わせズレが生じてアクティブ領域 25 側面が大きく露出した場合でも、熱酸化膜 20 を備えているため SS コンタクト 30 からアクティブ領域 25 側面への不純物拡散を防止することが可能となる。

【0062】

この発明は、上記実施形態に限定されるものではなく、その他、本発明の要旨を変更しない範囲において種々変形して実施可能である。

【図面の簡単な説明】

【0063】

【図 1】 本発明の第 1 の実施形態に係る半導体記憶装置のレイアウト図。

【図 2】 図 1 に示した半導体記憶装置の I-I 線に沿った断面図。

【図 3】 図 1 に示した半導体記憶装置の II-II 線に沿った断面図。

【図 4】 図 2 に示した半導体記憶装置の製造方法を説明するための上記 I-I 線に沿った断面図。

【図 5】 図 4 に続く製造方法を説明するための上記 I-I 線に沿った断面図。

【図 6】 図 5 に続く製造方法を説明するための上記 I-I 線に沿った断面図。

【図 7】 図 6 に続く製造方法を説明するための上記 I-I 線に沿った断面図。

【図 8】 図 6 に続く製造方法を説明するための上記 II-II 線に沿った断面図。

【図 9】 図 7 に続く製造方法を説明するための上記 I-I 線に沿った断面図。

【図 10】 図 8 に続く製造方法を説明するための上記 II-II 線に沿った断面図。

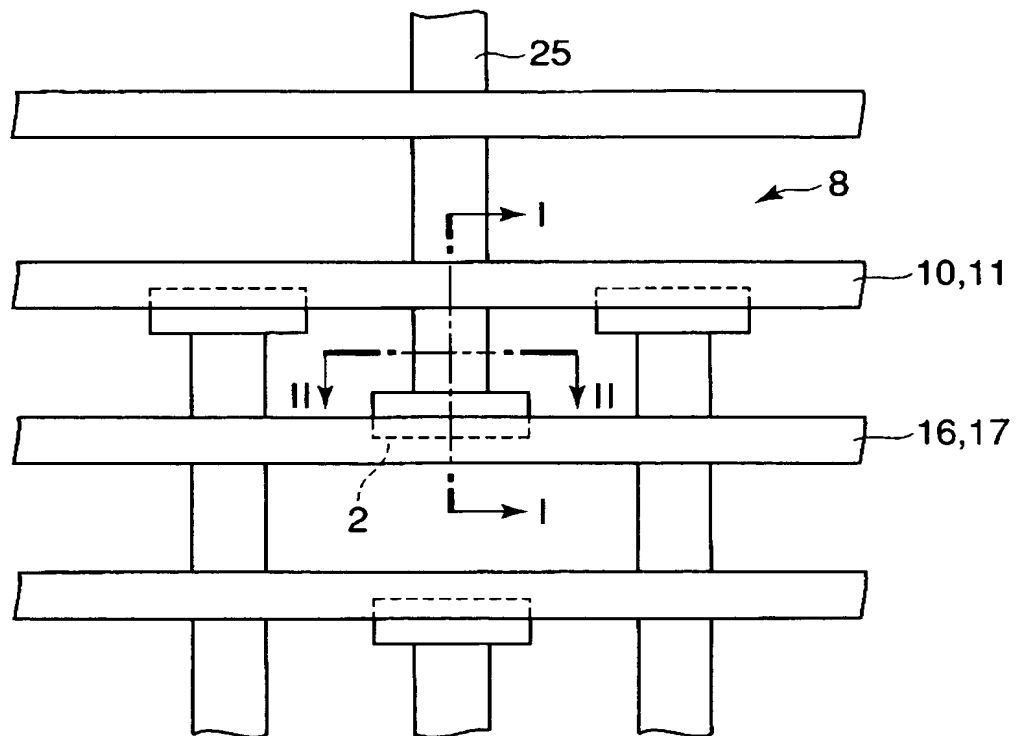
- 【図 11】図 9 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 12】図 10 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 13】図 11 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 14】図 12 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 15】図 13 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 16】図 14 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 17】図 15 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 18】図 16 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 19】本発明の第 2 の実施形態に係る半導体記憶装置の上記 I-I 線に沿った断面図。
【図 20】本発明の第 2 の実施形態に係る半導体記憶装置の上記 II-II 線に沿った断面図。
【図 21】図 19 に示した半導体記憶装置の製造方法を説明するための上記 I-I 線に沿った断面図。
【図 22】図 20 に示した半導体記憶装置の製造方法を説明するための上記 II-II 線に沿った断面図。
【図 23】図 21 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 24】図 22 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 25】図 23 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 26】図 24 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 27】図 25 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 28】図 26 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 29】図 27 に続く製造方法を説明するための上記 I-I 線に沿った断面図。
【図 30】図 28 に続く製造方法を説明するための上記 II-II 線に沿った断面図。
【図 31】従来の DRAM における主要部を示す断面図。

【符号の説明】

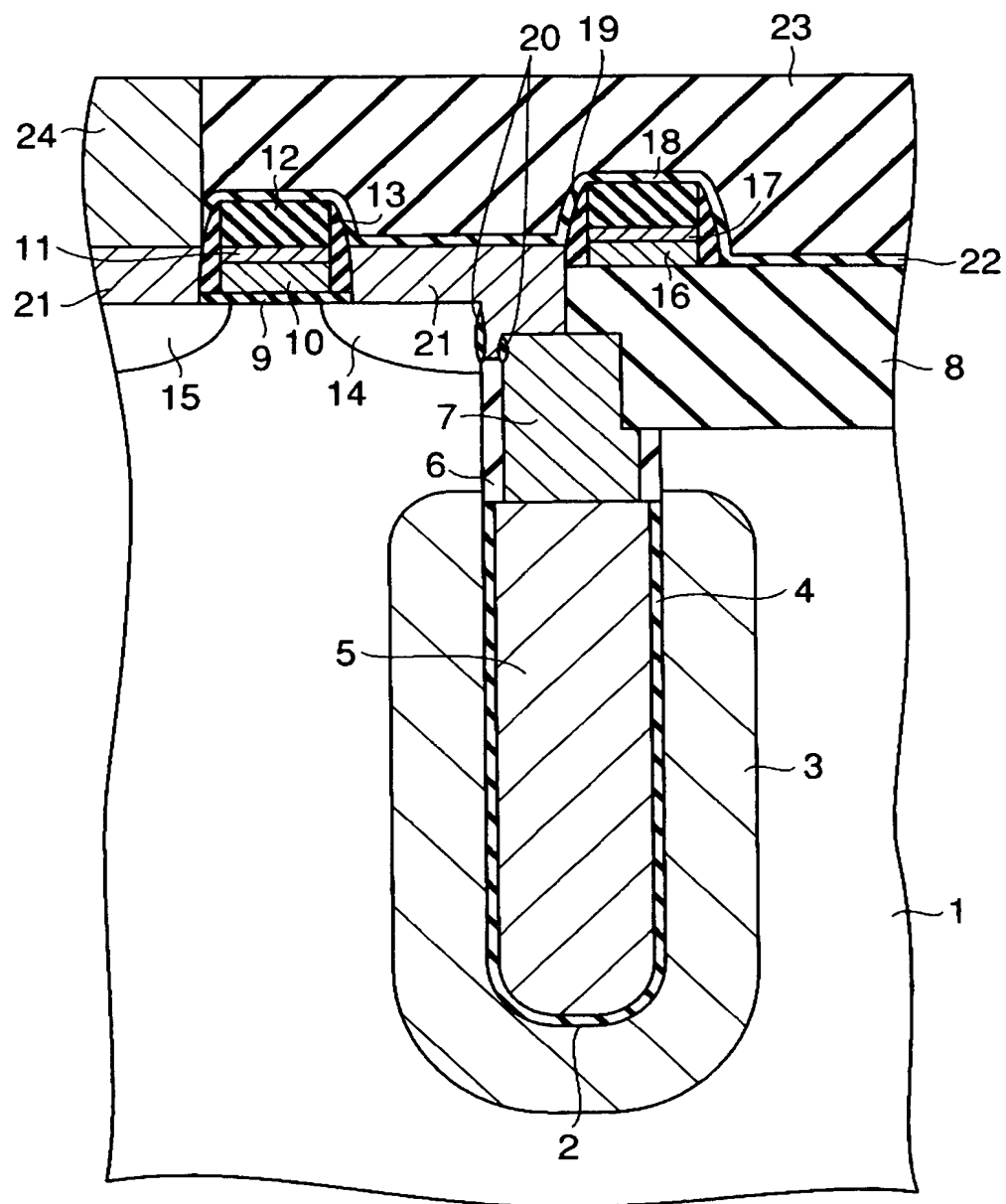
【0064】

1…半導体基板、2…トレンチ、3…プレート電極、4…NO膜、5, 7…ポリシリコン、6…カラー酸化膜、8…素子分離領域、9…ゲート絶縁膜、10, 16…ポリシリコンゲート電極層、11, 17…WSiゲート電極層、12, 18…ゲートキャップ絶縁膜、13, 19…ゲート側壁絶縁膜、14…ソース拡散層、15…ドレイン拡散層、20…熱酸化膜、21, 30, 40…SSコンタクト、22, 31…バリア膜、23, 32…第1層間膜、24…コンタクト、25…アクティブ領域、26…シリコン酸化膜、27…シリコン窒化膜、33…第2層間膜。

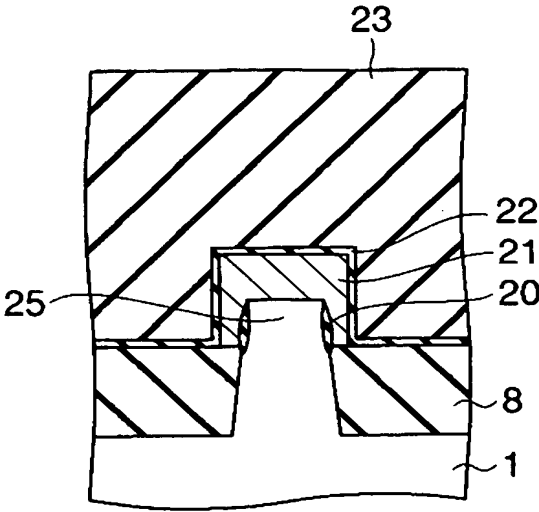
【書類名】 図面
【図 1】



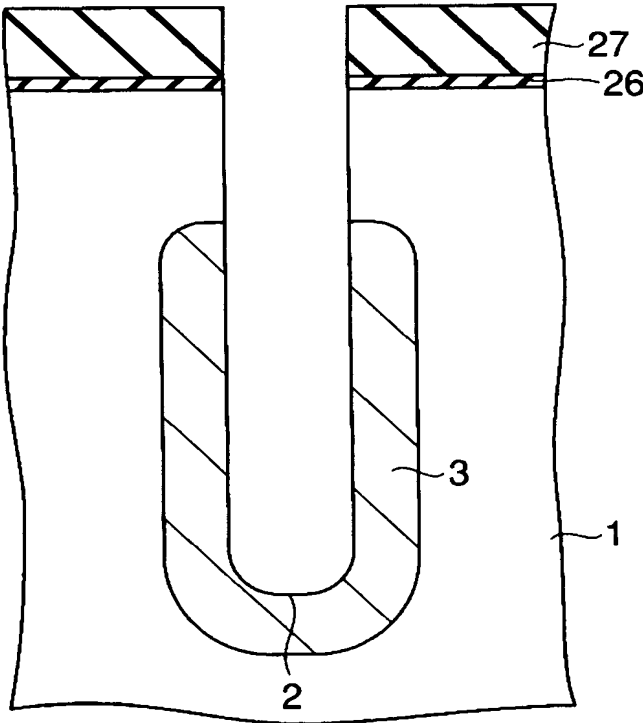
【図 2】



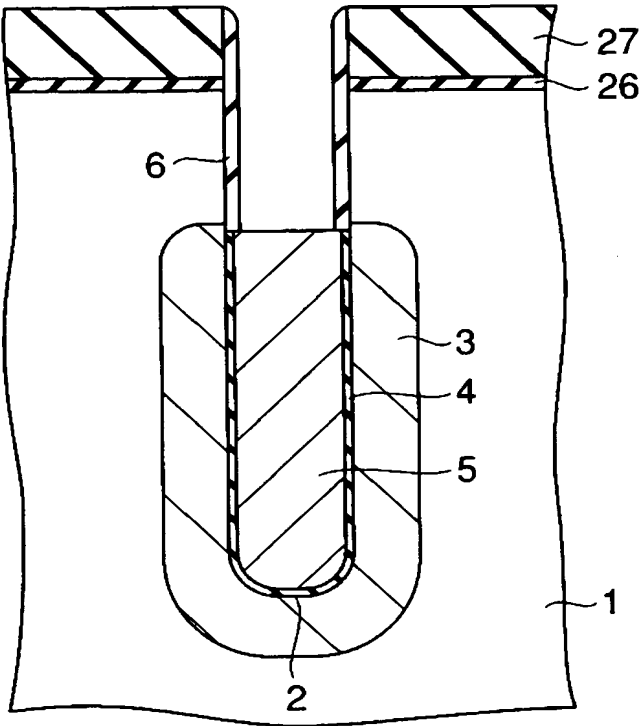
【図 3】



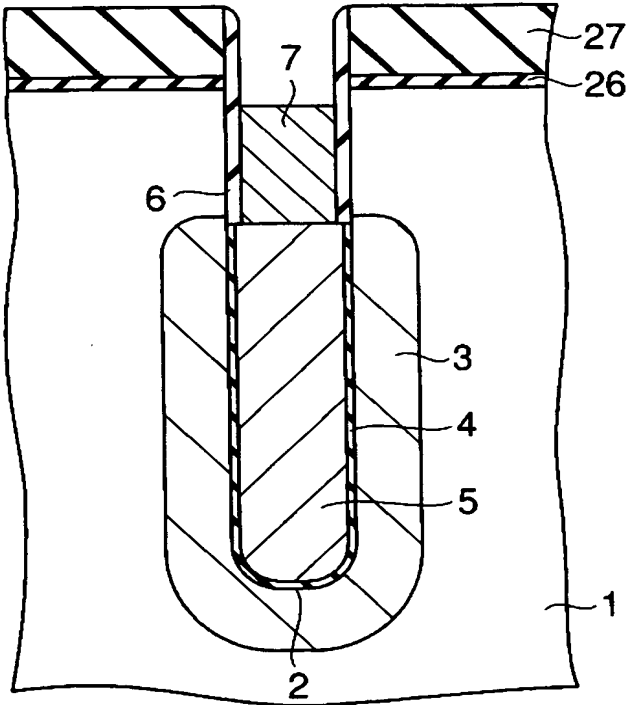
【図 4】



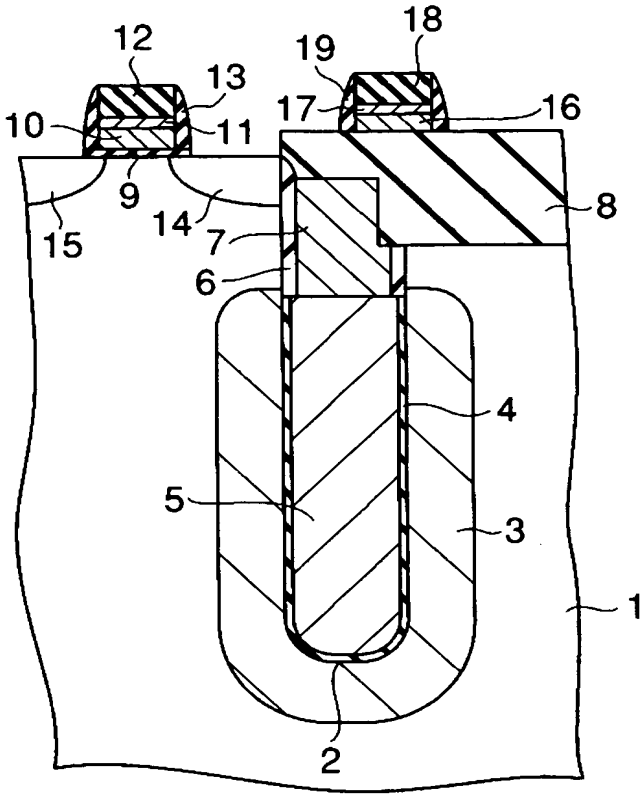
【図 5】



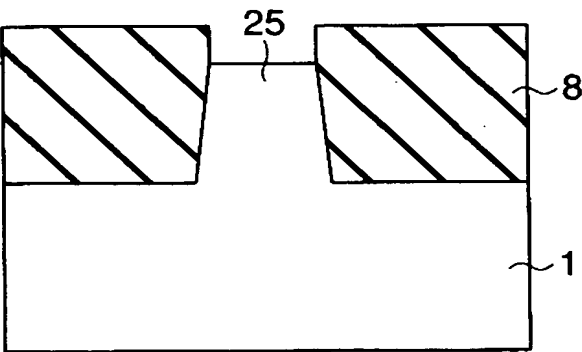
【図 6】



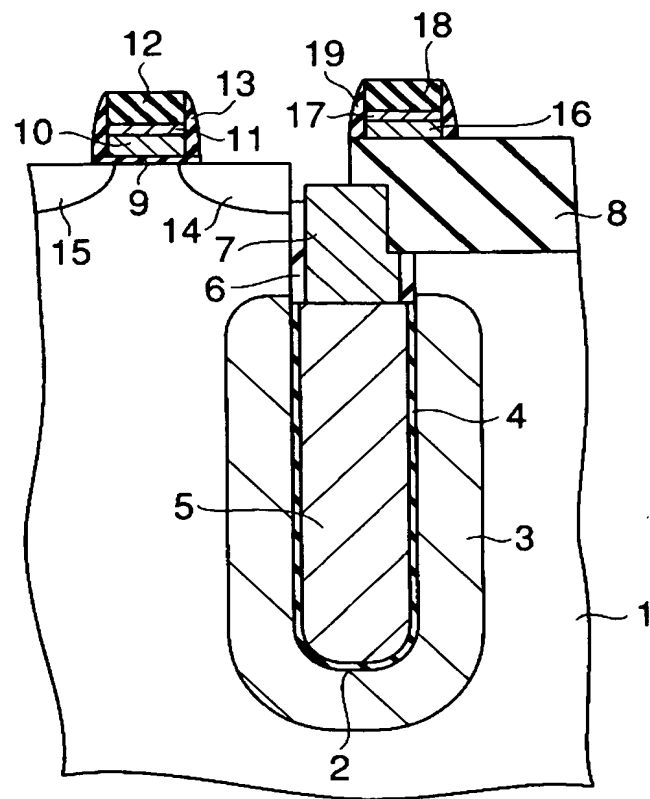
【図 7】



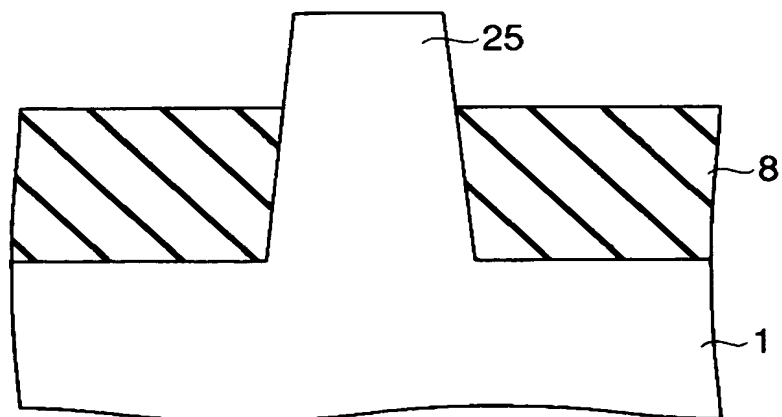
【図 8】



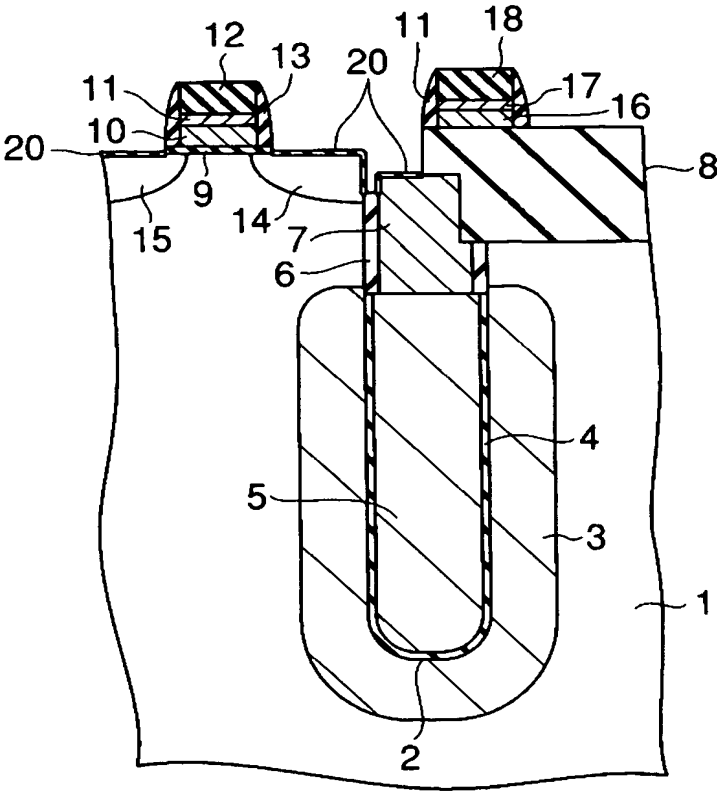
【図 9】



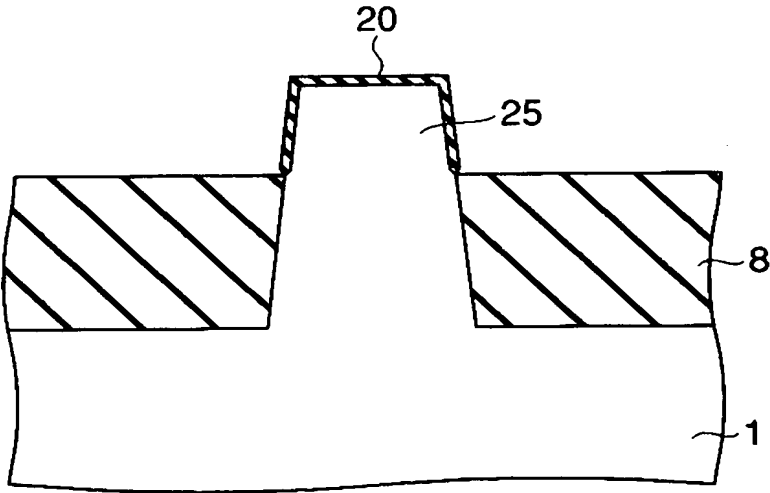
【図 10】



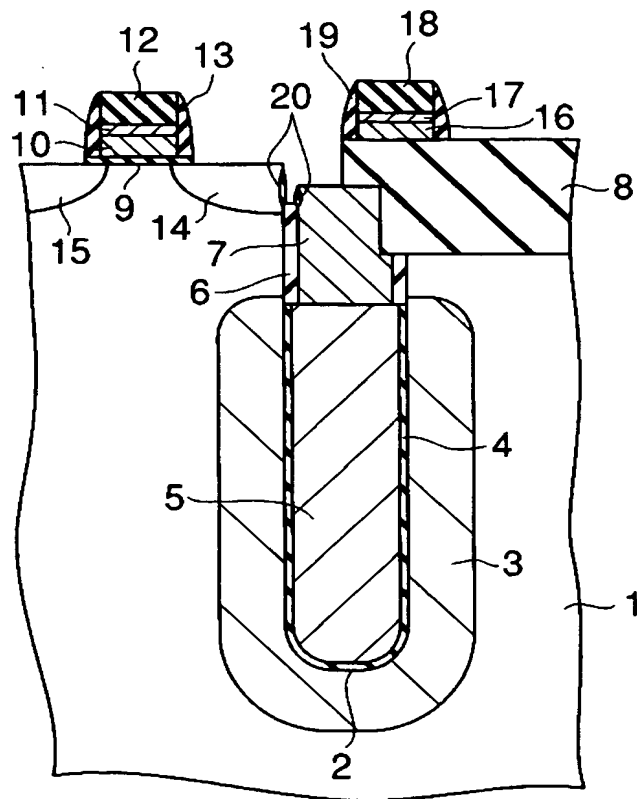
【図 1 1】



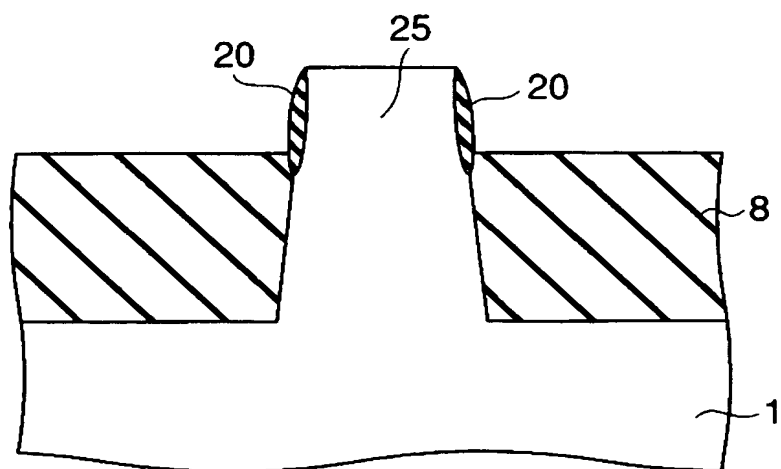
【図 1 2】



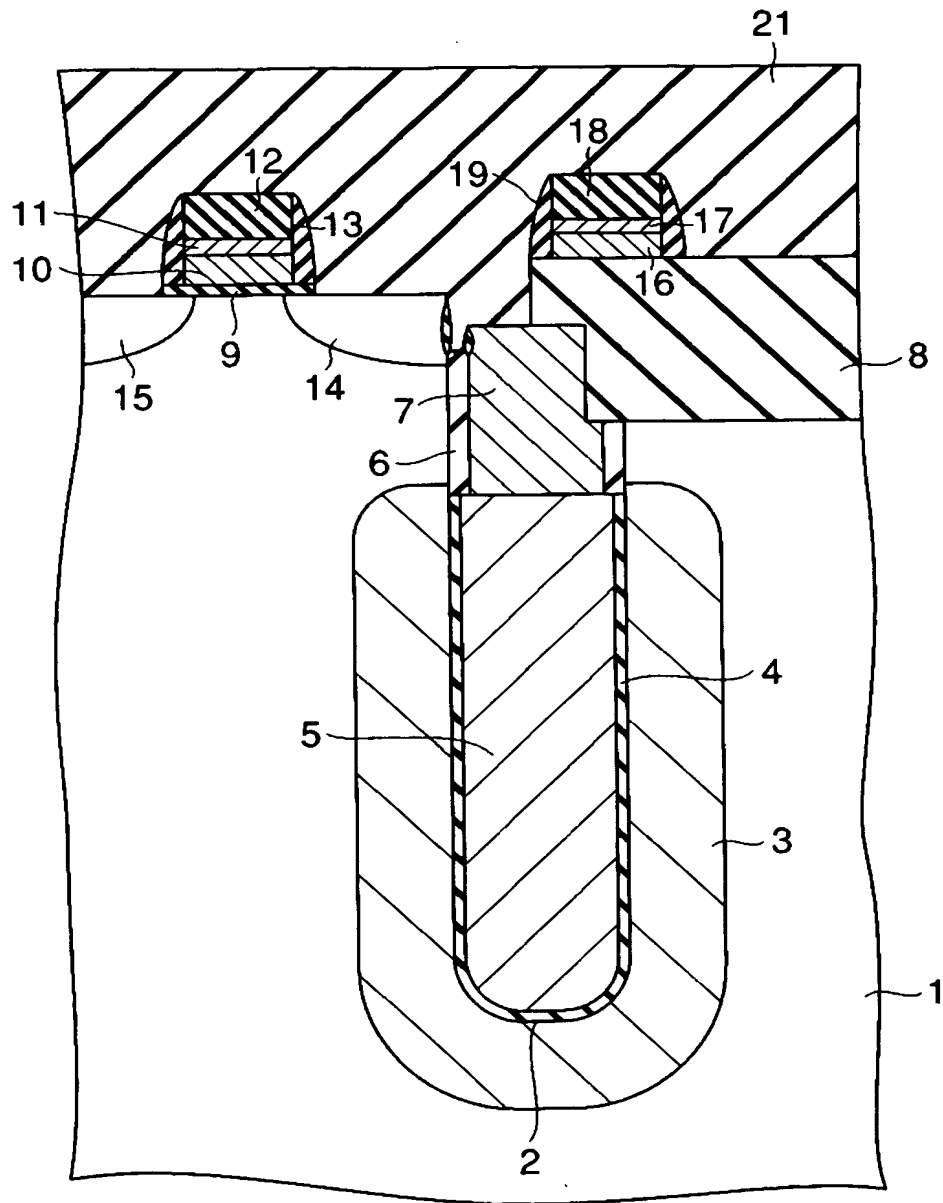
【図 13】



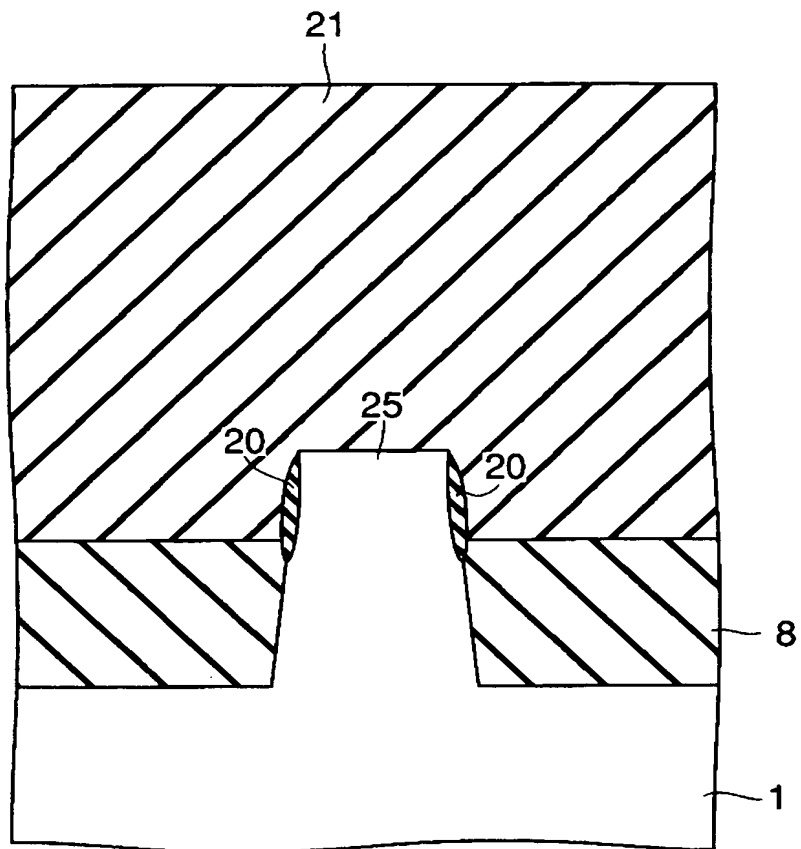
【図 14】



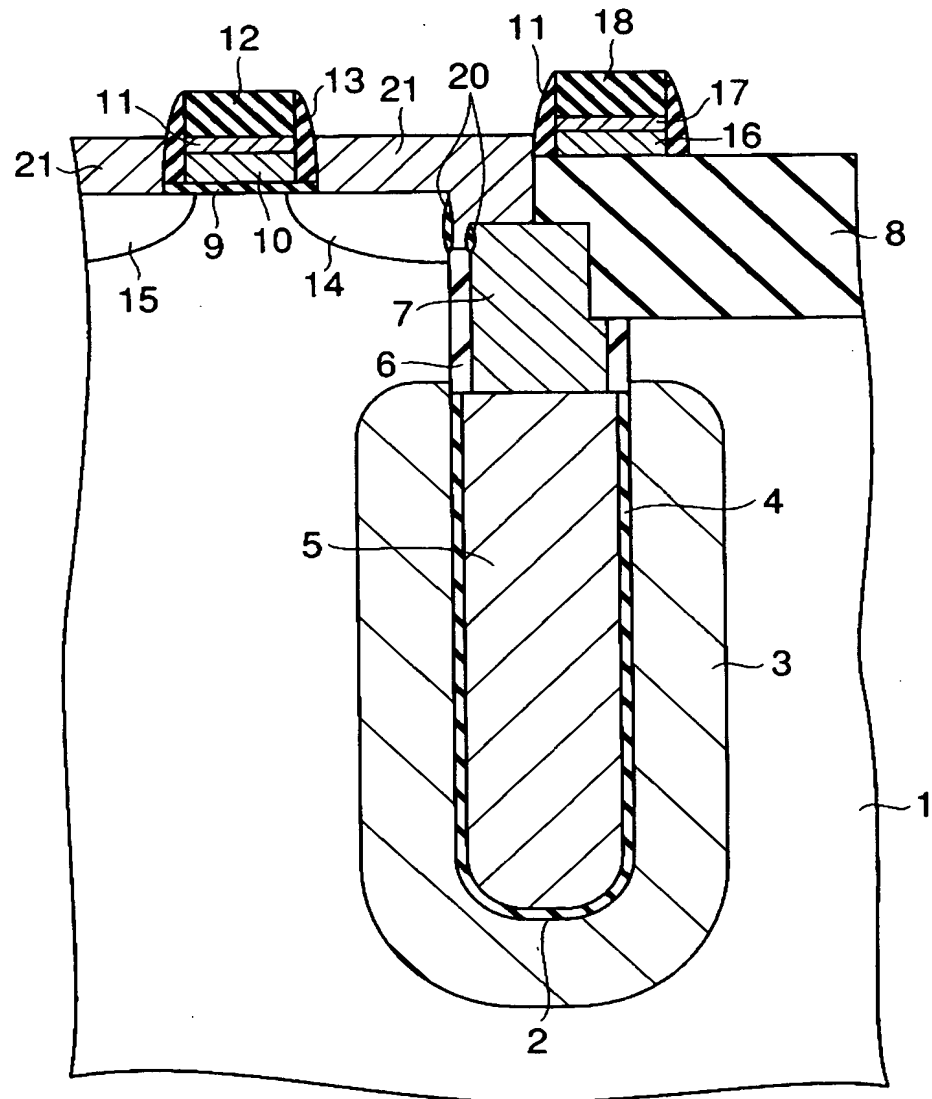
【図 15】



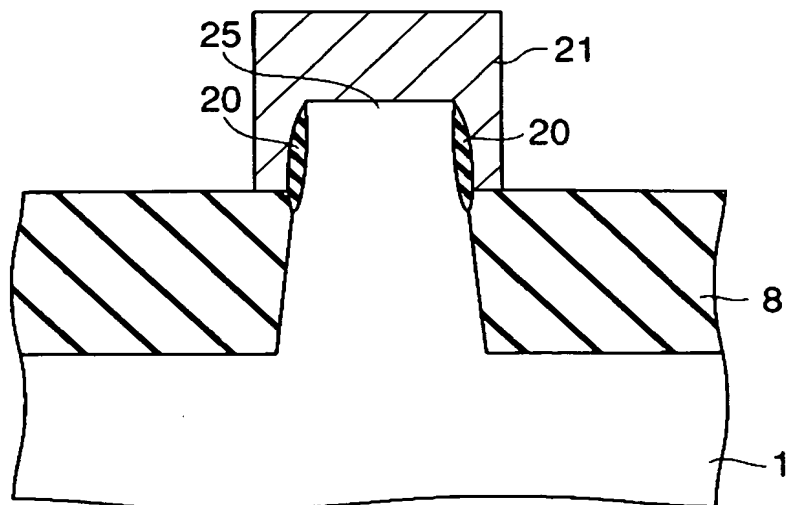
【図 16】



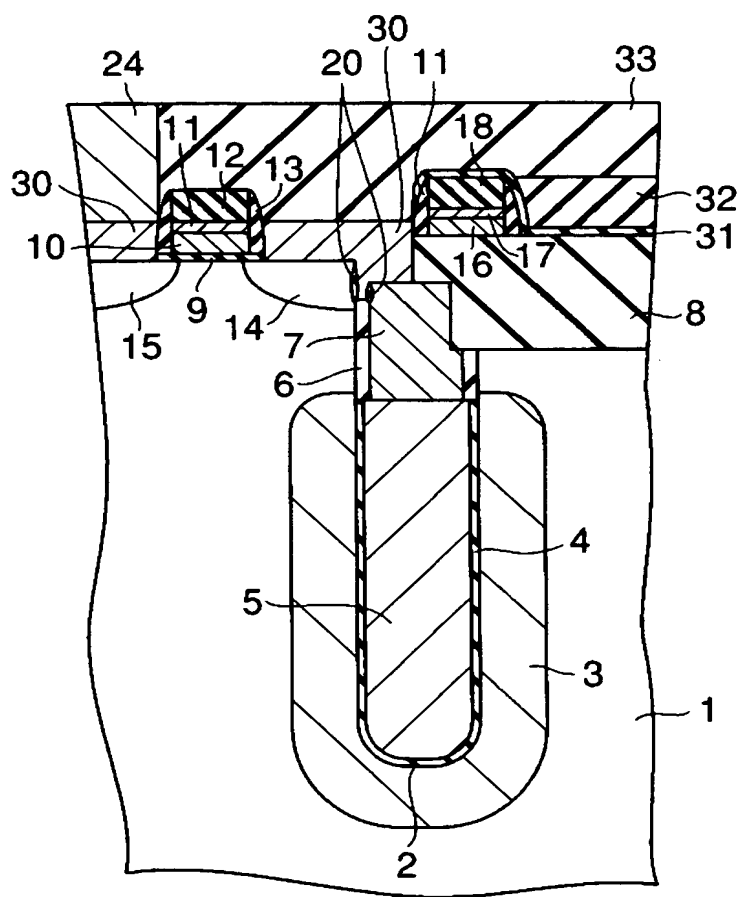
【図 17】



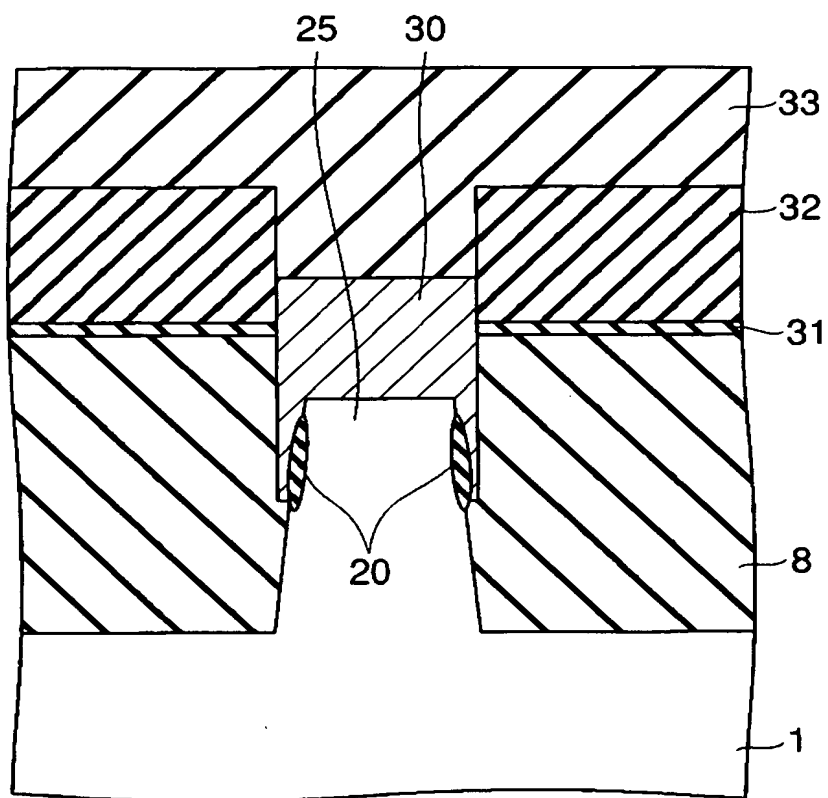
【図 18】



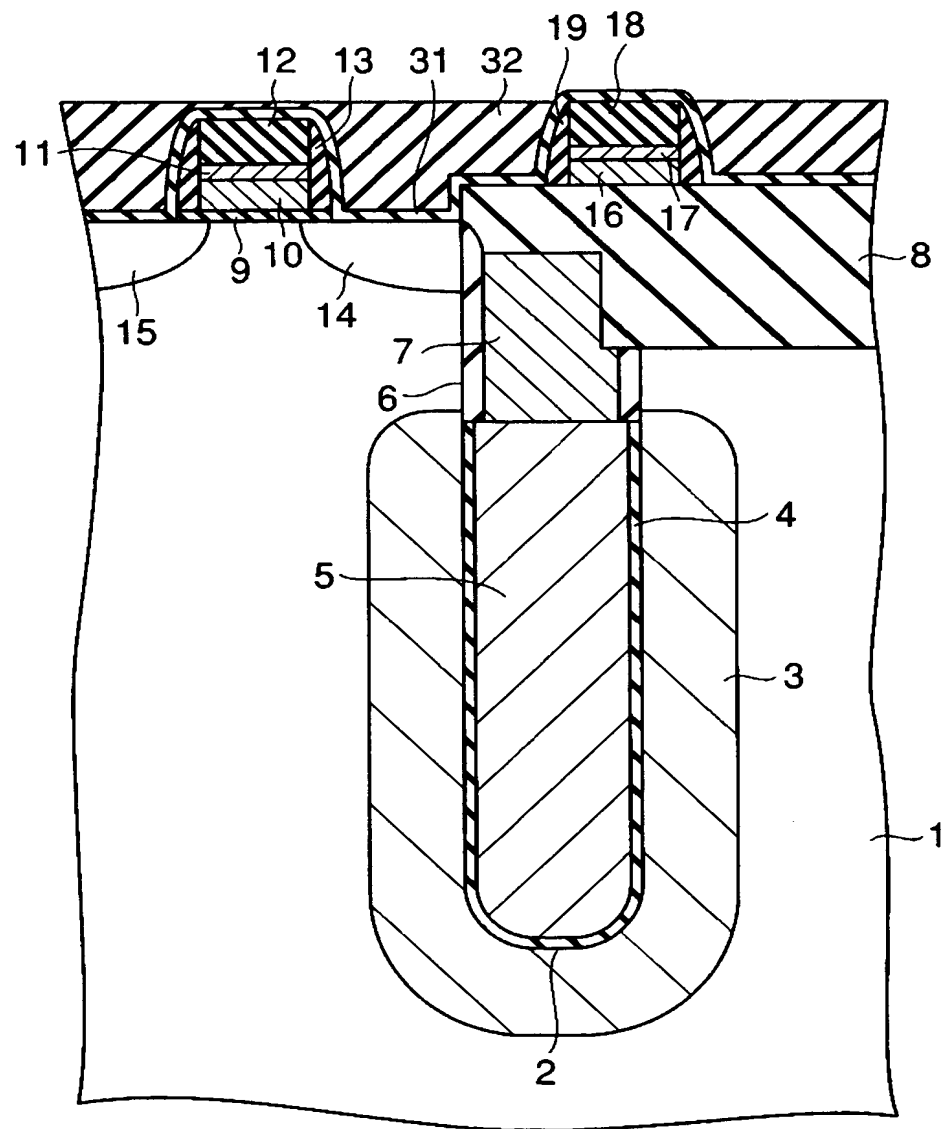
【図 19】



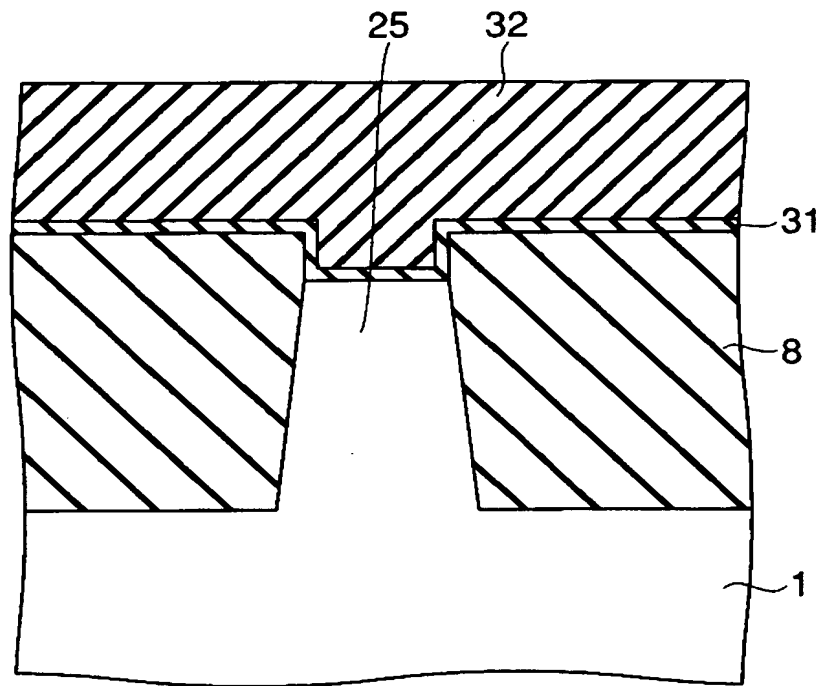
【図 20】



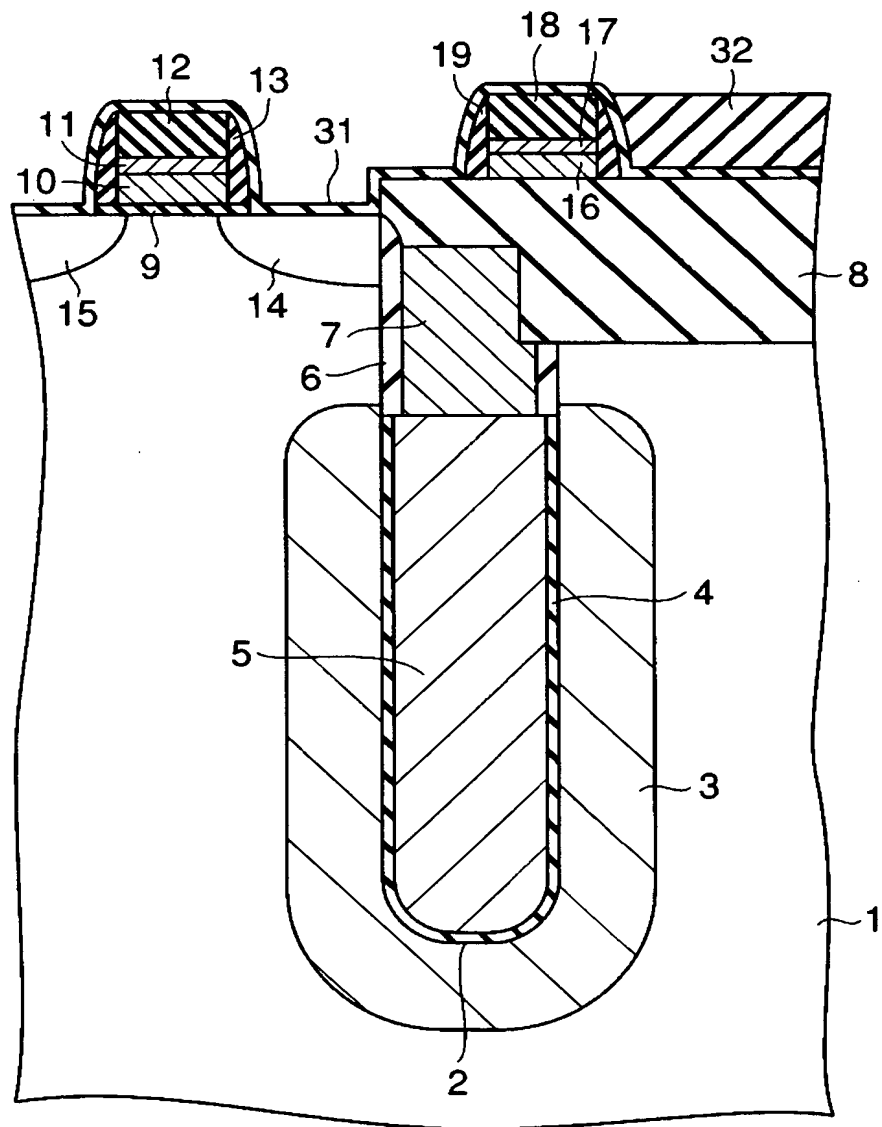
【図 21】



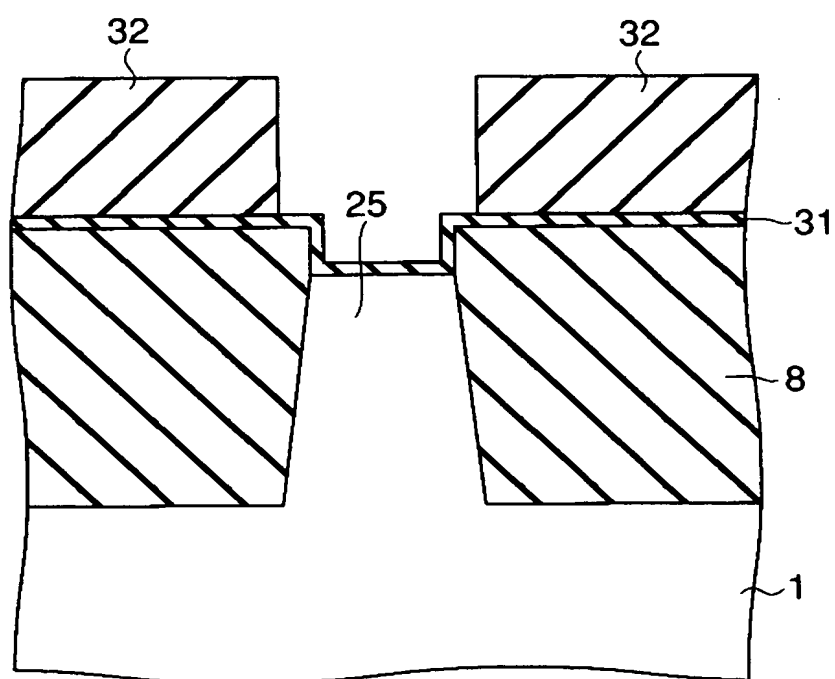
【図 22】



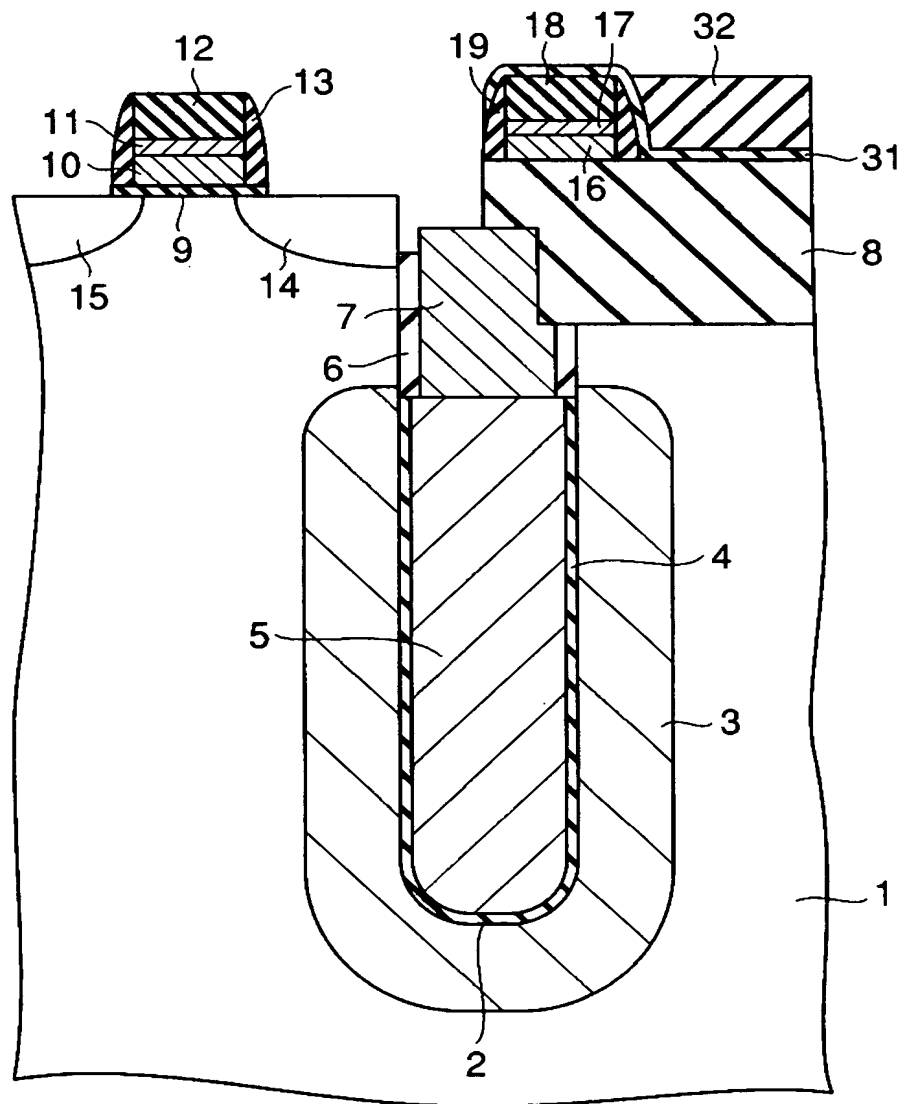
【図 23】



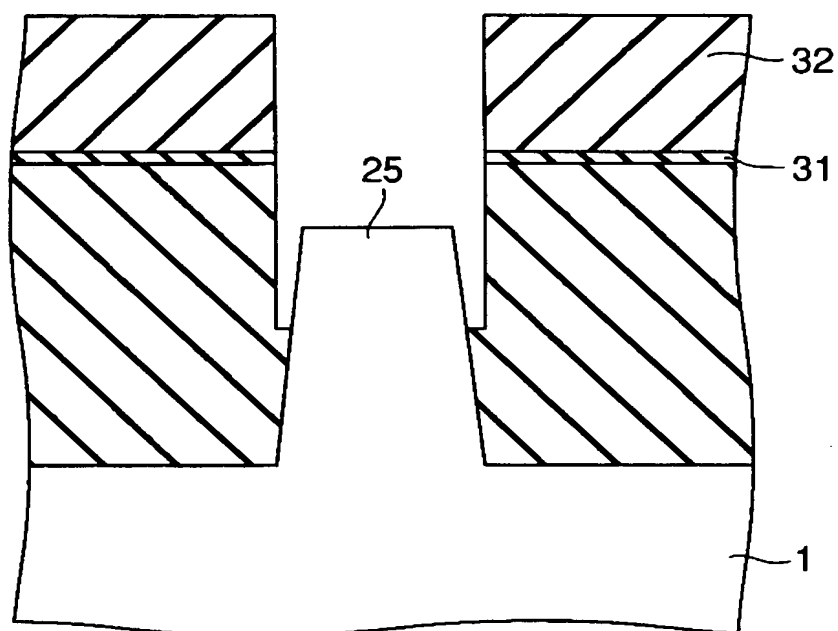
【図 24】



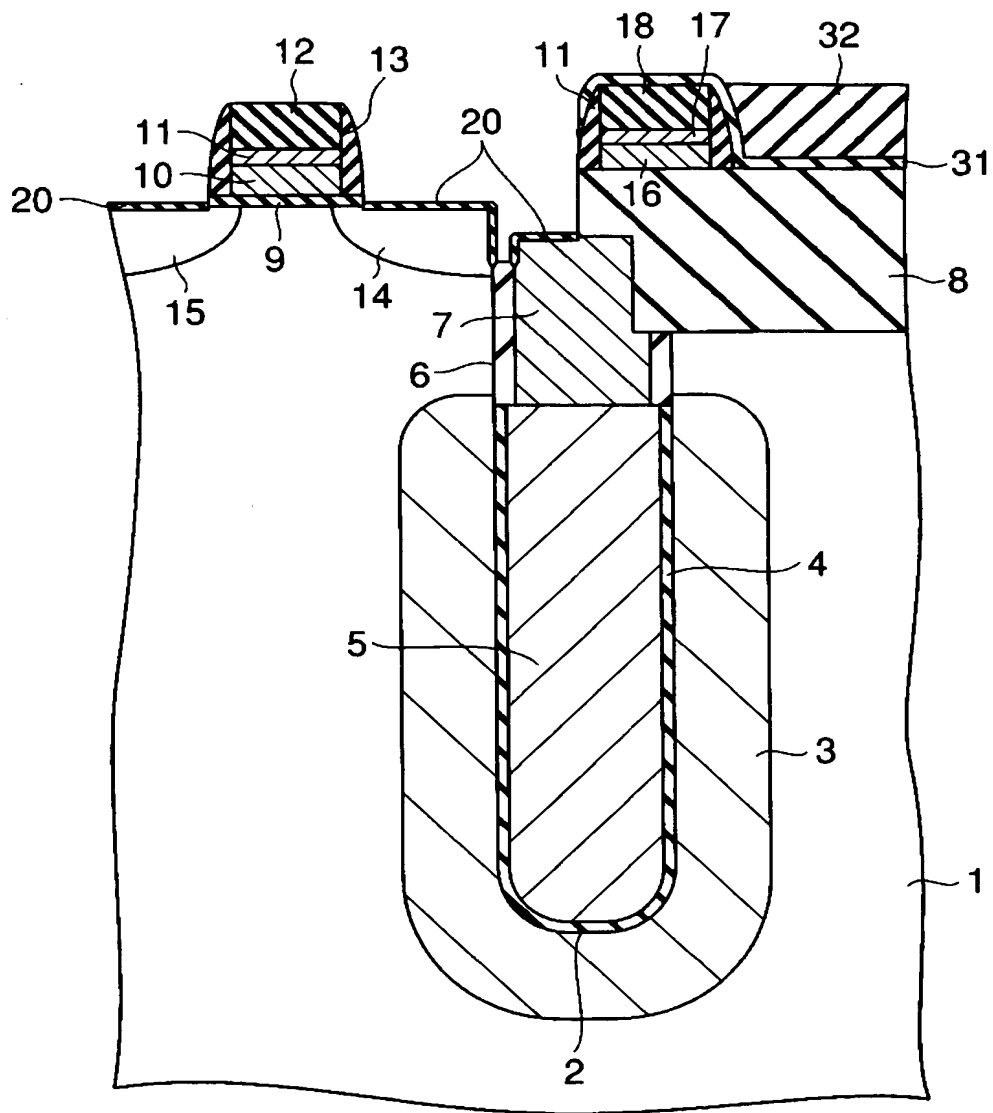
【図 25】



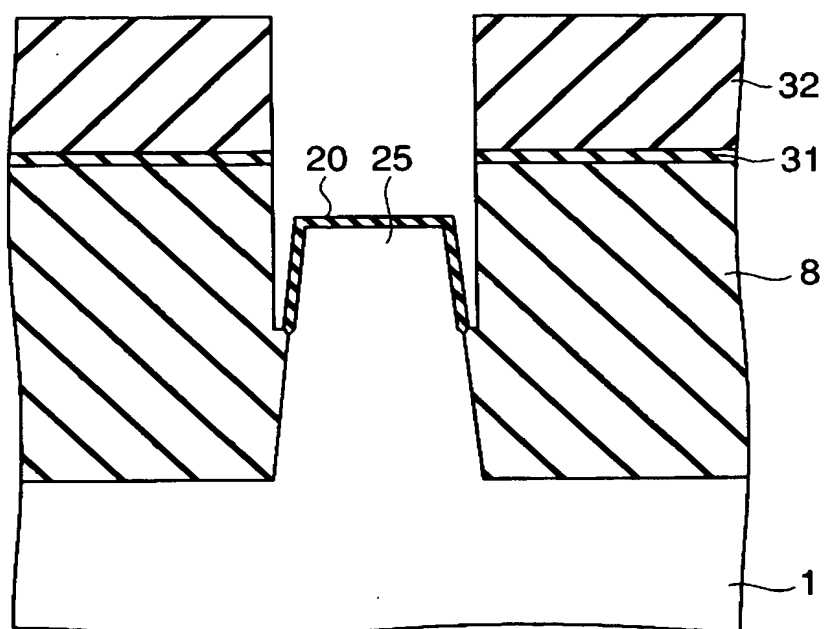
【図 26】



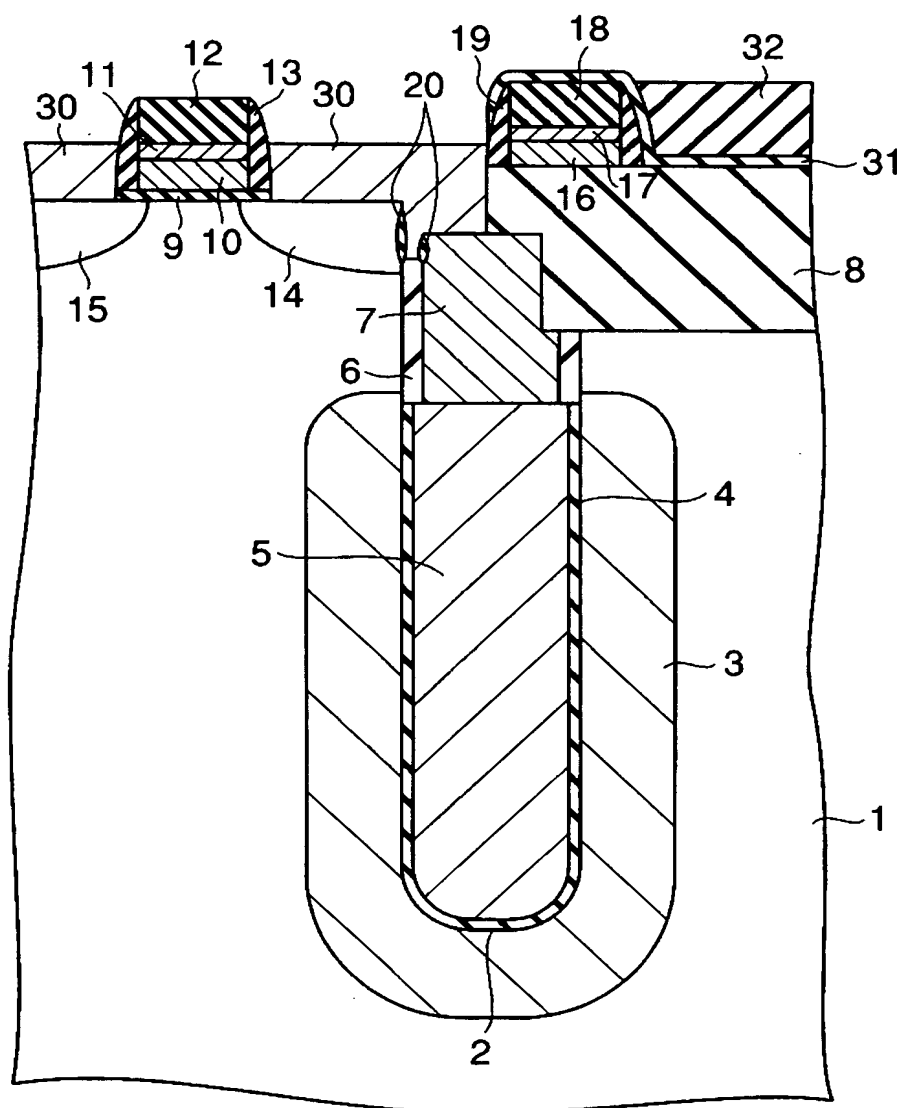
【図 27】



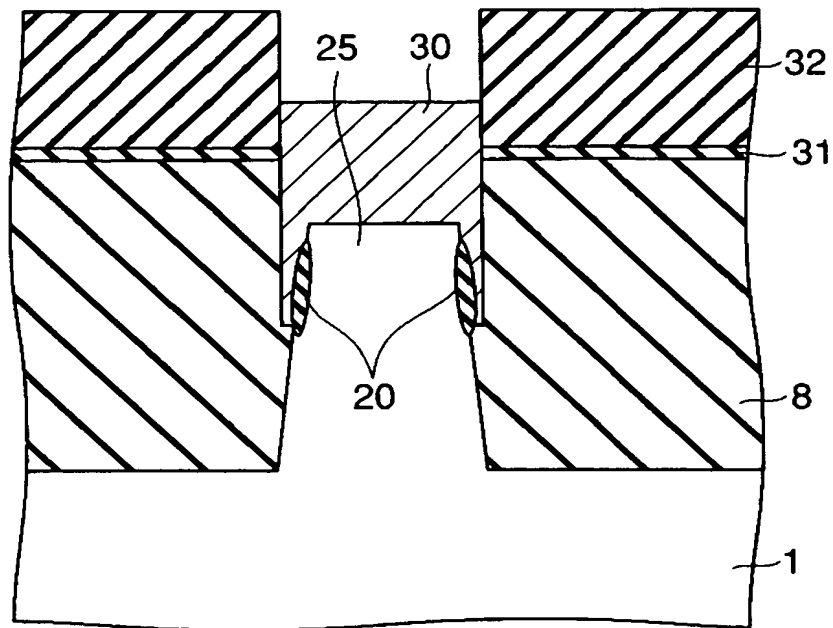
【図 28】



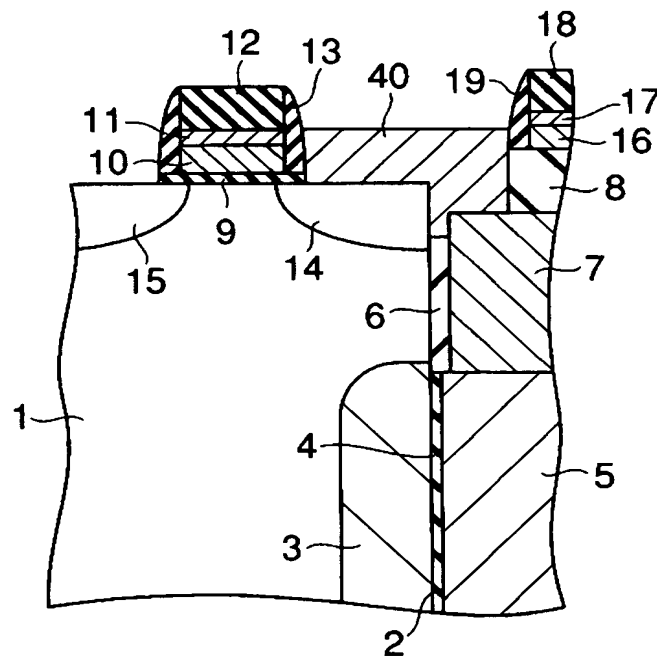
【図 29】



【図 30】



【图 3 1】



【書類名】要約書

【要約】

【課題】 ストラップコンタクトの抵抗値が増加することなく、且つストラップコンタクトがメモリセルトランジスタの拡散層に与える影響を抑制する。

【解決手段】 半導体記憶装置は、半導体基板の上に設けられた素子領域及び素子分離領域と、前記トレンチ内に設けられたキャパシタと、前記キャパシタ上方で前記トレンチの内面上に設けられた第1絶縁膜と、前記トレンチを埋め込むように前記第1絶縁膜及び前記キャパシタの上に設けられた第1導電層と、前記第1絶縁膜上方で前記トレンチの内面上、及び前記素子領域の両側面に設けられた第2絶縁膜と、前記素子領域の上にゲート絶縁膜を介して設けられたゲート電極と、前記ゲート電極の両側の前記素子領域内に設けられたソース及びドレイン領域と、前記第1導電層と前記ソース或いはドレイン領域とを接続するように前記第1導電層及び前記素子領域上に設けられたコンタクト層とを有する。

【選択図】 図2

特願 2 0 0 3 - 4 1 6 1 8 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.